

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Kenji HOSHI, , et al.**

Serial No.: **Not Yet Assigned**

Filed: **February 13, 2002**

For: **SEMICONDUCTOR DEVICE AND ALIGNMENT SENSING METHOD FOR
SEMICONDUCTOR DEVICE**



CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
Washington, D.C. 20231

February 13, 2002

Sir:

The benefit of the filing dates of the following prior foreign applications are hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2001-162788, filed May 30, 2001

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of these applications be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN & HATTORI, LLP

A handwritten signature in cursive script, reading "Mel R. Quintos", is written over a horizontal line.

Mel R. Quintos
Reg. No. 31,898

Atty. Docket No.: 020171
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
MRQ/ll

日 本 国 特 許 庁
JAPAN PATENT OFFICE

JC929 U.S. PTO
10/073314
02/13/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 5月30日

出 願 番 号

Application Number:

特願2001-162788

出 願 人

Applicant(s):

富士通株式会社

株式会社東芝

ウィンボンド エレクトロニクス コーポ

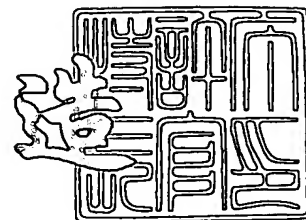
2001年 8月 3日

特許庁長官
Commissioner,
Japan Patent Office

及

川

耕



出証番号 出証特2001-3067818

【書類名】 特許願

【整理番号】 0041013

【提出日】 平成13年 5月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/027

【発明の名称】 半導体装置及び半導体装置の位置検出方法

【請求項の数】 9

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 星 賢治

【発明者】

 【住所又は居所】 台湾 シンチュ市 サイエンス ベイスド インダストリアル パーク クリエイション ロード I I I 4 番 ウィンボンド エレクトロニクス コープ内

 【氏名】 徐 義裕

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

 【氏名】 野村 博

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

 【氏名】 石橋 茂

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【特許出願人】

 【識別番号】 000003078

【氏名又は名称】 株式会社東芝

【特許出願人】

【識別番号】 596068419

【氏名又は名称】 ウィンボンド エレクトロニクス コーポ

【代理人】

【識別番号】 100087479

【弁理士】

【氏名又は名称】 北野 好人

【選任した代理人】

【識別番号】 100114915

【弁理士】

【氏名又は名称】 三村 治彦

【手数料の表示】

【予納台帳番号】 003300

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0012600

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及び半導体装置の位置検出方法

【特許請求の範囲】

【請求項 1】 半導体ウエーハ上に形成された複数のアライメントマークを有する半導体装置であって、

前記アライメントマークのそれぞれが微細パターンにより分割されていることを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、前記微細パターンは、ラインアンドスペースパターンであることを特徴とする半導体装置。

【請求項 3】 請求項 2 記載の半導体装置において、前記ラインアンドスペースパターンのライン部分が所定の長さで分割されていることを特徴とする半導体装置。

【請求項 4】 請求項 3 記載の半導体装置において、前記ラインアンドスペースパターンの隣接するライン部分の分割位置が互いにずれていることを特徴とする半導体装置。

【請求項 5】 請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置において、前記微細パターンの形成マージンは、前記半導体ウエーハ上に形成するデバイスパターンの形成マージンより大きいことを特徴とする半導体装置。

【請求項 6】 デバイスパターンを有する半導体ウエーハ上に形成されたアライメントマークに照明光を照射し、前記アライメントマークによる前記照明光の反射光又は回折光を撮像し、撮像した画像を処理することにより得られた撮像信号に基づき前記デバイスパターンの位置を検出する半導体装置の位置検出方法において、

前記アライメントマークのそれぞれが微細パターンにより分割され、

前記アライメントマークによる前記照明光の反射光又は回折光を撮像する解像力を、前記アライメントマークを識別でき、前記微細パターンを識別できないような解像力とする

ことを特徴とする半導体装置の位置検出方法。

【請求項 7】 請求項 6 記載の半導体装置の位置検出方法において、
前記微細パターンは、ラインアンドスペースパターンである
ことを特徴とする半導体装置の位置検出方法。

【請求項 8】 請求項 7 記載の半導体装置の位置検出方法において、
前記ラインアンドスペースパターンのライン部分が所定の長さで分割されている
ことを特徴とする半導体装置の位置検出方法。

【請求項 9】 請求項 8 記載の半導体装置の位置検出方法において、
前記ラインアンドスペースパターンの隣接するライン部分の分割位置が互いにずれている
ことを特徴とする半導体装置の位置検出方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、露光装置において半導体ウエーハのアライメントを行う際に用いられるアライメントマークを有する半導体装置及び半導体装置の位置検出方法に関する。

【 0 0 0 2 】

【従来の技術】

半導体装置の製造プロセスのひとつとして、シリコン等のウエーハ上にデバイスパターンを形成するリソグラフィー工程がある。

【 0 0 0 3 】

リソグラフィー工程では、まず、ウエーハ上に積層された導電層や絶縁層上に、回転塗布機等によりレジストを塗布する。続いて、ステッパやスキャナ等の露光装置により、デバイスの寸法やレイアウトが描かれたマスクをウエーハの所定

の位置に合わせて露光を行う。これにより、レジスト膜にマスクのパターンが転写される。このデバイスパターンの露光による転写でのウェーハのアライメント精度は、製品の生産歩留まりを左右する重要な要素となっている。

【 0 0 0 4 】

露光装置におけるウェーハのアライメントの方法としては、例えば F I A (Field Image Alignment) 方式が知られている。F I A 方式のアライメントセンサは、ウェーハ上に形成されているアライメントマークに照明光を照射する光源と、アライメントマークでの反射光や回折光を集光して C C D (Charge Coupled Device) カメラにアライメントマークの像を形成する結像光学系と、結像光学系により形成された像より撮像信号である F I A 信号を出力する C C D カメラと、F I A 信号を処理してアライメントマークの位置情報を取得する信号処理部から構成されている。

【 0 0 0 5 】

ここで、F I A 方式によるウェーハのアライメントに用いられる従来の標準的なアライメントマークについて図 9 を用いて説明する。図 9 (a) は、アライメントマークの形状を示す上面図、図 9 (b) は、図 9 (a) の X - X' 線断面図である。

【 0 0 0 6 】

図 9 (a) 及び図 9 (b) に示すように、シリコンウェーハ 1 0 0 上に形成された膜厚 2 5 0 n m のシリコン酸化膜 1 0 2 中に、例えば幅 6 μ m、長さ 7 0 μ m の矩形状の溝からなるアライメントマーク 1 0 4 が 1 2 μ m のピッチで並列に設けられている。アライメントマーク 1 0 4 には、アモルファスシリコン膜 1 0 6 が埋め込まれている。このようなアライメントマーク 1 0 4 は、一般に、ウェーハに形成される素子領域の外側のスクライブライン上に形成されている。

【 0 0 0 7 】

上記の構造の上面には、その後の半導体装置の製造工程により、例えば、図 9 (b) に示すように、厚さ 2 0 0 μ m のシリコン酸化膜 1 0 8 が形成されている。シリコン酸化膜 1 0 8 上には、更にリソグラフィー工程を行うべく、例えば A R 5 (商品名、J S R 製) などの B A R C (Bottom Anti-Reflection Coating)

110が95nmの厚さで形成され、その上にレジスト膜112が470nmの厚さで形成されている。

【0008】

FIA方式によるウエーハのアライメントでは、ウエーハ上に形成されたアライメントマークに対して、アライメントセンサの光源から広帯域波長の照明光を垂直に照射する。次いで、そのアライメントマークでの反射光及び回折光を、結像光学系を介して集光することにより、CCDカメラの撮影面にそのアライメントマークの像を形成する。そして、CCDカメラにより得られたFIA信号を処理することによってウエーハ上のアライメントマークの位置検出が行われる。こうして検出された位置情報に基づき、ウエーハの位置合わせが行われる。

【0009】

【発明が解決しようとする課題】

しかしながら、例えば0.13 μ mルールのDRAM (Dynamic Random Access Memory) のように、最近の高密度化が進んだ先端半導体デバイスの製造プロセスに図9(a)に示すアライメントマークを用いた場合、CMP (Chemical Mechanical Polishing) 工程において、アライメントマークでのディッシング (Dishing) が発生する可能性が高くなっていた。すなわち、セルパターンのサイズに比べてアライメントマークのサイズが大きすぎるため、アライメントマークが形成されている領域の上面が均等に研磨されず、不均一に皿のように凹んだ状態に研磨されることがあった。

【0010】

また、スパッタリングによる金属膜の成膜工程では、アライメントマークのエッジの両側に金属膜が非対称に成膜されることがあった。

【0011】

上述のようにCMP工程や金属膜の成膜工程などを経ることによりアライメントマークの形状が非対称に変形すると、アライメントマークの中心の位置を正確に検出することができず、実際の位置を誤認してしまうという計測誤差を生じることとなる。このような誤差は、WIS (Wafer Induced Shift) と呼ばれ、FIA方式によるアライメントの精度の低下を招く一つの要因となっている。

【 0 0 1 2 】

また、ウエーハ上に形成するデバイスの膜構造によっては、アライメントセンサの光源から照射された照明光の多重反射効果により、アライメントマークのコントラストが変化し、アライメントマークの F I A 信号の波形が大きく変化することがある。特に、アライメントマークのエッジがシャープであっても、アライメントマークのエッジとその内側との間に大きなコントラストの差を生ずる場合がある。すると、F I A 信号の波形がアライメントマークのエッジのみが強調された形状に変化する。

【 0 0 1 3 】

図 9 (c) は、図 9 (a) 及び図 9 (b) に示す従来のアライメントマーク 1 0 4 を用いたときの F I A 信号の波形を示すグラフである。グラフ中に円で囲んで示した部分のように、アライメントマーク 1 0 4 のエッジのみが強調されたダブルエッジが生じている。その結果、F I A 信号の波形がアライメントマークの数の倍のピークを有する倍周波となる。

【 0 0 1 4 】

図 9 (c) に示すように F I A 信号の波形が倍周波に変化すると、アライメントマークの両側のエッジでの F I A 信号の強度に大小が生じたり、F I A 信号の波形に歪みがのりやすくなり、W I S が生じやすくなっていた。

【 0 0 1 5 】

さらに、アライメントセンサの結像光学系の収差等に起因して、アライメントマークの中心位置が正確に検出されないことがある。この誤差は、T I S (Tool Induced Shift) として知られている。こうしたアライメントセンサ自身に起因する T I S が W I S とともに相乗的に作用して大きな測定誤差を生じ、さらにアライメント精度が低下することも想定されていた。

【 0 0 1 6 】

本発明の目的は、コントラストが高く歪みの少ない検出信号の波形を得ることができ、高精度のウエーハのアライメントを実現することができる半導体装置及び半導体装置の位置検出方法を提供することにある。

【 0 0 1 7 】

【課題を解決するための手段】

上記目的は、半導体ウエーハ上に形成された複数のアライメントマークを有する半導体装置であって、前記アライメントマークのそれぞれが微細パターンにより分割されていることを特徴とする半導体装置によって達成される。

【0018】

また、上記目的は、デバイスパターンを有する半導体ウエーハ上に形成されたアライメントマークに照明光を照射し、前記アライメントマークによる前記照明光の反射光又は回折光を撮像し、撮像した画像を処理することにより得られた撮像信号に基づき前記デバイスパターンの位置を検出する半導体装置の位置検出方法において、前記アライメントマークのそれぞれが微細パターンにより分割され、前記アライメントマークによる前記照明光の反射光又は回折光を撮像する解像力を、前記アライメントマークを識別でき、前記微細パターンを識別できないような解像力とすることを特徴とする半導体装置の位置検出方法によって達成される。

【0019】

【発明の実施の形態】

〔第1実施形態〕

本発明の第1実施形態による半導体装置及び位置検出方法について図1乃至図4を用いて説明する。図1は、本実施形態による半導体装置が有するアライメントマークの構造を示す概略図、図2は、本実施形態による半導体装置の構造を示す断面図、図3は、アライメントセンサの構成を示す概略図、図4は、本実施形態による半導体装置が有するアライメントマークより得られたFIA信号の一例を示すグラフである。

【0020】

まず、本実施形態による半導体装置が有するアライメントマークの構造について図1を用いて説明する。図1(a)は、本実施形態による半導体装置が有するアライメントマークの形状を示す上面図、図1(b)は、図1(a)のX-X'線断面図、図1(c)は、図1(a)の拡大部分のY-Y'線断面図である。

【0021】

図 1 (a) 及び図 1 (b) に示すように、シリコンウエーハ 1 0 上に形成された厚さ 2 5 0 n m のシリコン酸化膜 1 2 中に、例えば幅 6 μ m、長さ 7 0 μ m の短冊状のアライメントマーク 1 4 が 1 2 μ m のピッチで並列に設けられている。各アライメントマーク 1 4 は、幅 0. 2 μ m、長さ 7 0 μ m の複数の溝部 1 6 が 0. 4 μ m のピッチで並列にシリコン酸化膜 1 2 中に形成されたものであり、これらの溝部 1 6 には、図 1 (c) に示すように、アモルファスシリコン膜 1 8 が埋め込まれている。こうしてアライメントマーク 1 4 は、ラインアンドスペース (L/S) のパターンにより構成されている。

【 0 0 2 2 】

上述のように形成されているアライメントマーク 1 4 は、通常、シリコンウエーハ 1 0 に形成される素子領域の外側のスクライブライン上に形成されている。

【 0 0 2 3 】

図 1 (b) では、上記の構造の上面に、その後の半導体装置の製造工程により、例えば厚さ 2 0 0 n m のシリコン酸化膜 2 0 が形成されている。シリコン酸化膜 2 0 上には、更にリソグラフィ工程を行うべく、例えば A R 5 (商品名、J S R 製) 等の B A R C 2 2 が 9 5 n m の厚さで形成され、その上にレジスト膜 2 4 が 4 7 0 n m の厚さで形成されている。

【 0 0 2 4 】

次に、上記のアライメントマーク 1 4 を有する本実施形態の半導体装置の構造について図 2 を用いて説明する。図 2 の半導体装置は D R A M であり、素子領域のメモリセルとアライメントマーク 1 4 とが同時に形成される。

【 0 0 2 5 】

シリコン基板 6 0 上には、D R A M のメモリセルを形成するためのメモリセル領域 6 2 と、アライメントマーク 1 4 を形成するためのマーク領域 6 4 とが設けられている。

【 0 0 2 6 】

メモリセル領域 6 2 には、厚さ 2 0 0 n m の酸化シリコンからなる素子分離領域 6 6 が形成されている。素子分離領域 6 6 により画定された素子領域には、転送トランジスタが形成されている。

【 0 0 2 7 】

転送トランジスタは、膜厚 7 0 n m のアモルファスシリコン膜 7 0 と膜厚 2 0 0 n m のタングステン膜 7 2 との積層膜からなるポリサイド構造のゲート電極 6 8 と、ゲート電極 6 8 に自己整合的に形成されたソース／ドレイン拡散層 7 8 とを有する。ゲート電極 6 8 の上面及び側面には、シリコン窒化膜 7 4 が形成されている。シリコン窒化膜 7 4 で覆われたゲート電極 6 8 間には、ソース／ドレイン拡散層 7 8 に接続されたアモルファスシリコン膜からなるプラグ 7 9 が埋め込まれている。

【 0 0 2 8 】

転送トランジスタが形成されたシリコン基板 6 0 上には、膜厚 3 2 0 n m のシリコン酸化膜からなる層間絶縁膜 8 0 が形成されている。

【 0 0 2 9 】

メモリセル領域 6 2 の層間絶縁膜 8 0 には、プラグ 7 9 に接続する窒化チタン膜 8 3 とタングステン膜 8 4 との積層膜からなるプラグ 8 2 が埋め込まれている。

【 0 0 3 0 】

マーク領域 6 4 の層間絶縁膜 8 0 には、アライメントマークの L / S のパターンを構成する溝部 8 5 が形成されている。溝部 8 5 には、DRAM のプラグ 8 2 の製造工程時に成膜される窒化チタン膜 8 3 及びタングステン膜 8 4 が埋め込まれている。溝部 8 5 が有するパターン形成マージンは、メモリセル領域 6 2 に形成されるメモリのセルパターンよりも大きなものとなっている。

【 0 0 3 1 】

上述した構造のメモリセル領域 6 2 及びマーク領域 6 4 の全面には、膜厚 5 0 n m のアモルファスシリコン膜 8 6 が形成されている。アモルファスシリコン膜 8 6 上には、膜厚 6 0 n m の B A R C 8 7 と膜厚 4 0 0 n m のレジスト膜 8 8 とが順次形成されている。レジスト膜 8 8 は、アモルファスシリコン膜 8 6 をプラグ 8 2 に接続する蓄積電極としてパターニングをするためのものである。このような状態で、ステッパやスキャナ等の露光装置において、アライメントが行われた後にレジスト膜 8 8 の露光が行われる。

【 0 0 3 2 】

ここで、リソグラフィー工程で使用される露光装置において、本実施形態による半導体装置が有するアライメントマークの位置検出を行う F I A 方式のアライメントセンサについて図 3 を用いて説明する。

【 0 0 3 3 】

アライメントセンサは、図 3 に示すように、露光装置のステージ 2 7 に載置されたウエーハ 2 8 上に形成されているアライメントマーク 3 0 に照明光を照射する光源 2 6 を有している。光源 2 6 とウエーハ 2 8 との間には、光源 2 6 側から順に、光源 2 6 からの照明光を平行光にする照射レンズ群 3 2 と、アライメントマーク 3 0 で反射されて戻ってきた光を分岐するビームスプリッタ 3 4 と、対物レンズ群 3 6 と、対物レンズ群 3 6 を通過した照明光をウエーハ 2 8 に対して垂直に照射するプリズム 3 8 とがそれぞれ配置されている。さらに、ビームスプリッタ 3 4 がウエーハ 2 8 からの反射光を分岐する側には、反射鏡 4 0、インデックスマーク 4 1 及び接眼レンズ群 4 2 を介して、受光した光を電気信号である F I A 信号に変換する C C D カメラ 4 4 が配置されている。C C D カメラ 4 4 には、C C D カメラ 4 4 により得られた信号に対して信号処理を施しアライメントマーク 3 0 の位置を検出する信号処理部 4 6 が接続されている。信号処理部 4 6 には、C C D カメラ 4 4 により得られた F I A 信号の波形を表示するモニタ 4 8 が接続されている。

【 0 0 3 4 】

また、図 3 では、リソグラフィー工程の露光時にレチクルのパターンを縮小して投影するための露光装置の縮小投影レンズ 5 0 が、ウエーハ 2 8 のデバイスパターンを形成する領域の近傍に配置されている。

【 0 0 3 5 】

光源 2 6 より出射された照明光は、照射レンズ群 3 2 に導かれる。照射レンズ群 3 2 は、1 又は複数のレンズから構成されており、光源 2 6 より出射した照明光を平行光にする。

【 0 0 3 6 】

照射レンズ群 3 2 を通った照明光は、ビームスプリッタ 3 4 を透過する。そし

て、ビームスプリッタ 3 4 を透過した照明光は、1 又は複数のレンズからなる対物レンズ群 3 6 及びプリズム 3 8 を介して、ステージ 2 7 上に載置されたウエーハ 2 8 を垂直方向から照射する。

【 0 0 3 7 】

ウエーハ 2 8 のアライメントマーク 3 0 により反射された光は、プリズム 3 8 を介して対物レンズ群 3 6 を通過し、ビームスプリッタ 3 4 により反射され、反射鏡 4 0 に導かれる。ビームスプリッタ 3 4 により反射された光は、反射鏡 4 0 を介してインデックスマーク 4 1 及び接眼レンズ群 4 2 を順次通過する。そして、CCD カメラ 4 4 の CCD 素子面で結像する。

【 0 0 3 8 】

CCD カメラ 4 4 は、受光した光を電気信号である F I A 信号に変化して信号処理部 4 6 に出力する。信号処理部 4 6 は、CCD カメラ 4 4 から伝達された F I A 信号に対して信号処理を施し、各アライメントマーク 3 0 の位置を検出する。

こうして検出された位置情報に基づき、露光装置のステージ 2 7 が駆動され、ウエーハ 2 8 のアライメントが行われる。

【 0 0 3 9 】

本実施形態による半導体装置は、上述のアライメントセンサの解像限界よりも小さいサイズの複数の溝部 1 6 から構成された L / S のパターンで分割したアライメントマーク 1 4 を有することに特徴がある。これにより、ノイズ等のアライメントマーク 1 4 内側領域の画像情報を無視することができる。更に、このアライメントマーク 1 4 の分割により実質的にアライメントマーク 1 4 内側の領域が周囲と比較して暗く見えるため、コントラストをより大きくすることができる。これにより、リソグラフィー工程におけるアライメント精度を向上することが可能となる。

【 0 0 4 0 】

図 4 は、図 1 に示すアライメントマーク 1 4 を用いた場合の F I A 信号の波形の一例を示すグラフである。図示するように、図 9 に示す従来のアライメントマーク 1 0 4 の場合と比較して、アライメントマーク 1 4 のエッジが強調されてお

らず、アライメントマーク14と他の領域とで非常に大きなコントラストを有するFIA信号の波形を得ることができている。グラフ中に円で囲んで示した部分のように、ダブルエッジも図9に示す従来のアライメントマークと比べて小さく抑えられている。

【0041】

また、本実施形態の半導体装置が有するアライメントマーク14のL/Sのパターンを構成する溝部16の幅、ピッチ等を変更することにより、上記のFIA信号の波形を調整することができる。これにより、最適な波形のFIA信号に基づきリソグラフィ工程におけるアライメントを行うことができ、その精度を向上することができる。

【0042】

本実施形態による半導体装置が有するアライメントマーク14を用いた場合のアライメント精度の向上を確認すべく、EGA (Enhanced Global Alignment) によるアライメントを行い、EGA後の残存誤差成分 (Residual) を算出した。EGA残存誤差成分とは、EGAから線形分を引いた誤差 3σ を示している。ウェーハ9枚について、それぞれ残存誤差成分を算出した上で、ウェーハ9枚の残存誤差成分の平均値及び 3σ を算出した結果、露光装置のステージのX方向、Y方向について、平均値は、それぞれ15nm、13nmという結果が得られ、 3σ は、それぞれ16nm、22nmという結果が得られた。

【0043】

ここで、平均値は、EGA残存誤差成分のウェーハ間の平均値を示すので、EGAの絶対精度を反映している。 3σ は、EGA残存誤差成分のウェーハ間のばらつきを示すので、EGA精度の再現精度を反映している。

【0044】

上記の結果より、本実施形態による半導体装置が有するアライメントマーク14を用いた場合、EGAの絶対精度が向上するとともに、ウェーハ間で安定的に高精度のアライメントを実現できることが確認された。

【0045】

このように、本実施形態によれば、アライメントセンサの解像限界よりも小さ

いサイズを有し、かつ、ウエーハ上に形成するデバイスパターンに比べて大きなパターン形成マージンを有する複数の溝部からなるL/Sのパターンでアライメントマークを分割するので、WIS、TISの影響を抑えて歪みの小さなFIA信号波形を得ることができる。こうして得られたFIA信号に基づきウエーハのアライメントを行うことにより、アライメント精度を向上することができる。

【0046】

なお、本実施形態では、半導体装置の構造として、図2に示すDRAMとアライメントマークの構造を説明していたが、このような構造に限定されるものではない。例えば、図5に示すようなDRAMとアライメントマークを有する構造であってもよい。

【0047】

図5に示すように、シリコン基板60上には、DRAMのメモリセルを形成するためのメモリセル領域62と、アライメントマークを形成するためのマーク領域64とが設けられている。

【0048】

メモリセル領域62には、厚さ200nmの酸化シリコンからなる素子分離領域66が形成されている。素子分離領域66により画定された素子領域には、転送トランジスタが形成されている。

【0049】

転送トランジスタは、膜厚70nmのアモルファスシリコン膜70と膜厚200nmのタングステン膜72との積層膜からなるポリサイド構造のゲート電極68と、ゲート電極68に自己整合的に形成されたソース/ドレイン拡散層78とを有する。ゲート電極68の上面及び側面には、シリコン窒化膜74が形成されている。シリコン窒化膜74で覆われたゲート電極68間には、ソース/ドレイン拡散層78に接続されたアモルファスシリコン膜からなるプラグ79が埋め込まれている。プラグ79上には、酸化シリコン膜90が形成されている。

【0050】

マーク領域64のシリコン基板60上には、アライメントマークのL/Sのパターンを構成するアモルファスシリコン膜からなる突起部89が形成されており

、これらの全面にシリコン酸化膜 9 1 が形成されている。

【 0 0 5 1 】

上述した構造のメモリセル領域 6 2 及びマーク領域 6 4 の全面には、さらに D R A M のメモリセル構造のパターニングを行うために、膜厚 6 0 n m の B A R C 8 7 と膜厚 4 0 0 n m のレジスト膜 8 8 とが順次形成されている。

【 0 0 5 2 】

このように、図 2 では溝部 8 5 より構成したアライメントマークの L / S のパターンを突起部 8 9 によって構成するようにしてもよい。

【 0 0 5 3 】

〔第 2 実施形態〕

本発明の第 2 実施形態による半導体装置及び位置検出方法について図 6 及び図 7 を用いて説明する。図 6 は、本実施形態による半導体装置が有するアライメントマークの構造を示す概略図、図 7 は、本実施形態による半導体装置が有するアライメントマークより得られた F I A 信号の一例を示すグラフである。なお、第 1 実施形態による半導体装置の場合と同一の構成要素については同一の符号を付与し、説明を簡略化し或いは省略する。

【 0 0 5 4 】

従来の CMP 工程におけるディッシング等によってアライメントマークが非対称に変形することは、ウエーハ上に形成するデバイスパターンのサイズに近づくようにアライメントマークを分割することにより抑制することができる。

【 0 0 5 5 】

しかしながら、一般に、アライメントマークは、半導体ウエーハに形成するチップの外周のスクライブラインに配置される。このため、露光装置のレンズ収差による影響を非常に受けやすい。したがって、アライメントマークを最適なサイズで分割するためには、適切な光近接場補正 (Optical Proximity Correction ; O P C) や補助パターン等のパターン補正・補助が必須となる。露光装置の露光条件は、通常デバイスパターンで最適化するため、アライメントマークとしてのスクライブライン上の微細パターンと、デバイスパターンとの共通マージンを確保することは非常に困難である。

【 0 0 5 6 】

このため、アライメントマークの分割サイズを小さくすることによりアライメントの精度を向上するには、本来パターン形成の精度を極力無視できるスクライブライン上においても、パターン形成マージン、パターン倒れ等を注意深く監視する必要がある。これは、製品の歩留まりの低下を招く一因となってしまう。

【 0 0 5 7 】

本実施形態による半導体装置は、上記の問題を伴うことなく、第 1 実施形態による半導体装置が有するアライメントマークのパターンを更に分割し、アライメント精度を向上するものである。

【 0 0 5 8 】

まず、本実施形態による半導体装置が有するアライメントマークの構造について図 6 を用いて説明する。図 6 (a) は、アライメントマークの形状を示す上面図、図 6 (b) は、図 6 (a) の X - X ' 線断面図、図 6 (c) は、図 6 (a) の Y - Y ' 線断面図である。

【 0 0 5 9 】

図 6 (a) 及び図 6 (b) に示すように、シリコンウエーハ 1 0 上に形成された厚さ 2 5 0 n m のシリコン酸化膜 1 2 中に、例えば幅 6 μ m 、長さ 7 0 μ m の短冊状のアライメントマーク 5 2 が 1 2 μ m のピッチで並列に設けられている。

【 0 0 6 0 】

各アライメントマーク 5 2 では、シリコン酸化膜 1 2 に設けられた幅 0 . 2 μ m 、長さ 1 . 5 μ m の凹部 5 4 がアライメントマーク 5 2 の長軸方向に間隔 0 . 5 μ m で一直線上に配列され、破線パターン部 5 6 が設けられている。この破線パターン部 5 6 が 0 . 4 μ m のピッチでアライメントマーク 5 2 の長軸方向に沿って並列に設けられている。凹部 5 4 には、図 6 (c) に示すように、アモルファスシリコン膜 1 8 が埋め込まれている。

【 0 0 6 1 】

破線パターン部 5 6 中の凹部 5 4 間の間隔部分 5 8 は、図 6 (a) に示すように、隣接する破線パターン部 5 6 間で互いにずれた位置となっている。このように、アライメントマーク 5 2 は、第 1 実施形態による場合の L / S のパターンが

2 次元的に分割されたようになっている。

【 0 0 6 2 】

上述のように形成されている本実施形態による半導体装置が有するアライメントマーク 5 2 は、通常、シリコンウエーハ 1 0 に形成されるチップの外周のスクライブライン上に形成されている。

【 0 0 6 3 】

図 6 (b) では、第 1 実施形態の場合と同様に、上記の構造の上面に、その後の半導体装置の製造工程により、例えば厚さ 2 0 0 n m のシリコン酸化膜 2 0 が形成されている。シリコン酸化膜 2 0 上には、更にリソグラフィー工程を行うべく、BARC 2 2 が 9 5 n m の厚さで形成され、その上にレジスト膜 2 4 が 4 7 0 n m の厚さで形成されている。

【 0 0 6 4 】

本実施形態による半導体装置の構造は、第 1 実施形態による場合と同様に、例えば図 2 や図 5 に示すような D R A M とともにアライメントマーク 5 2 を有するものとすることができる。

【 0 0 6 5 】

上述のように、本実施形態による半導体装置は、第 1 実施形態によるアライメントマーク 1 4 の L / S のパターンが更に 2 次元的に分割されているようになっているアライメントマーク 5 2 を有することに特徴がある。アライメントセンサの解像限界よりも小さなサイズを有し、かつ、ウエーハ上に形成するデバイスパターンに比べて大きなパターン形成マージンを有する L / S のパターンを更に 2 次元的に分割することにより、必然的にアライメントセンサの解像力が不足し、よりコントラストの高く歪みの小さい F I A 信号を得ることが可能となる。また、ウエーハ上に形成するデバイスパターンに比べて大きなパターン形成マージンを有する L / S のパターンを分割してアライメントマーク 5 2 のパターンを構成するので、アライメントマーク 5 2 を形成したスクライブライン上でパターン倒れ等を注意深く監視する必要もない。

【 0 0 6 6 】

図 7 は、図 6 に示すアライメントマーク 5 2 により得られた F I A 信号の波形

の一例を示すグラフである。図示するように、第1実施形態による場合に比べて非常に大きなコントラストを有し、歪みがほとんど存在しないF I A信号の波形を得ることができた。グラフ中に円で囲んで示した部分のように、ダブルエッジも全く発生していない。

【0067】

また、第1実施形態と同様に、本実施形態による半導体装置が有するアライメントマーク52を用いた場合のアライメント精度の向上を確認すべく、E G Aによるアライメントを行い、E G A後の残存誤差成分を算出した。ウェーハ9枚について、それぞれ残存誤差成分を算出した上で、ウェーハ9枚の残存誤差成分の平均値及び3 σ を算出した結果、露光装置のステージのX方向、Y方向について、平均値は、共に12nmという結果が得られ、3 σ は、それぞれ12nm、10nmという結果が得られた。

【0068】

上記の結果より、本実施形態による半導体装置が有するアライメントマーク52を用いた場合、第1実施形態による場合と比べて更にE G Aの絶対精度が向上するとともに、ウェーハ間で安定的に高精度のアライメントを実現できることが確認された。

【0069】

更に、本実施形態による半導体装置は、アライメントマーク52について、第1実施形態によるアライメントマーク14のL/Sのパターンを分割する長さ、間隔、分割したパターンのデューティ比（Duty ratio）を適宜変更することにより、F I A信号の波形を調整することが可能であることに特徴がある。以下に、パターンの分割の変更によるF I A信号の波形の調整について図8を用いて説明する。

【0070】

図8（a）は、アライメントマーク52のL/Sパターンの分割の間隔とF I A信号波形との関係のシミュレーション結果を示すグラフである。シミュレーションでは、図8（b）に示すように、0.4 μ mピッチのL/Sのパターンについて、ラインの分割のピッチを2.0 μ mに固定し、分割の間隔Xを変化したと

きの光強度を計算した。

【0071】

図8(a)から明らかなように、ラインを分割していない場合に比べて、ラインの分割の間隔Xを大きくしていくにしたがって、アライメントマーク52のエッジが強調されていない滑らかな波形が得られている。

【0072】

上述のように、アライメントマーク52のパターンの分割の状態を変更することにより、FIA信号波形からの歪みの除去等を行い、FIA信号の波形を所望の形に調整することができる。このように波形を調整したFIA信号に基づき、より精度の高いウエーハのアライメントが可能となる。

【0073】

このように、本実施形態によれば、アライメントセンサの解像限界よりも小さなサイズを有し、かつ、ウエーハ上に形成するデバイスパターンに比べて大きなパターン形成マージンを有するL/Sのパターンを更に2次元的に分割したので、必然的にアライメントセンサの解像力が不足し、WIS、TISの影響を抑えてコントラストが高く歪みの小さいFIA信号を得ることができる。また、アライメントマークのL/Sのパターンの分割の長さ及び分割の間隔を変化することにより、FIA信号の波形を調整することができる。こうして得られたFIA信号に基づきウエーハのアライメントを行うことにより、アライメント精度を向上することができる。

【0074】

〔変型実施形態〕

本発明の上記実施形態に限らず種々の変形が可能である。

【0075】

例えば、上記実施形態では、アライメントマークをL/Sのパターンに分割し、また、L/Sのパターンの各ラインを所定の間隔、ピッチで分割していたが、このようなアライメントマークのパターンの分割の間隔、ピッチ、サイズ等は、アライメントマークが形成されたウエーハ上に形成する素子のサイズ、使用するアライメントセンサの光学系等の性能に応じて、適宜変更することが可能である。

【 0 0 7 6 】

また、アライメントマークを分割する微細パターンは上記実施形態におけるラインアンドスペースパターンに限らず、ドット状のパターンや、千鳥格子状のパターン等の微細なパターンであればいかなるパターンでもよい。

【 0 0 7 7 】

また、この微細パターンは、上記実施形態におけるように、アライメントマーク内部でほぼ均一に形成されていることが望ましいが、均一に形成されていなくてもよい。

【 0 0 7 8 】

また、上記実施形態では、半導体装置の構造として D R A M について説明したが、半導体装置の素子構造は、D R A M に限定されるものではなく、他のあらゆる半導体素子にも本発明を適用することができる。

【 0 0 7 9 】

また、上記実施形態では、アライメントマークの分割の間隔等を変更することにより、F I A 信号の波形を調整していたが、アライメントセンサの照明光の照射条件及び／又は反射光の撮像条件を変化することによっても、F I A 信号の波形を調整することができる。例えば、図 3 に示すアライメントセンサの照射レンズ群 3 2 や、対物レンズ群 4 2、接眼レンズ群 3 6 等の光学系の開口数を変化することにより F I A 信号の波形を調整することができる。また、光源 2 6 より照射する照明光のコヒーレンシーを変化することにより、F I A 信号の波形を調整することができる。

【 0 0 8 0 】

【発明の効果】

以上の通り、本発明によれば、半導体ウエーハ上に形成された複数のアライメントマークのそれぞれを微細パターンにより分割したので、コントラストが高く歪みの少ない検出信号の波形を得ることができ、高精度のウエーハのアライメントを実現することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施形態による半導体装置が有するアライメントマークの構造を示す概略図である。

【図 2】

本発明の第 1 実施形態による半導体装置の構造を示す断面図である。

【図 3】

アライメントセンサの構成を示す概略図である。

【図 4】

本発明の第 1 実施形態による半導体装置が有するアライメントマークより得られた F I A 信号の一例を示すグラフである。

【図 5】

本発明の第 1 実施形態による半導体装置の構造の変形例を示す断面図である。

【図 6】

本発明の第 2 実施形態による半導体装置が有するアライメントマークの構造を示す概略図である。

【図 7】

本発明の第 2 実施形態による半導体装置が有するアライメントマークより得られた F I A 信号の一例を示すグラフである。

【図 8】

本発明の第 2 実施形態による半導体装置が有するアライメントマークのパターン分割と F I A 信号との関係を示すシミュレーション結果のグラフである。

【図 9】

従来のアライメントマークの構造を示す概略図である。

【符号の説明】

- 1 0 … シリコンウエーハ
- 1 2 … シリコン酸化膜
- 1 4 … アライメントマーク
- 1 6 … 溝部
- 1 8 … アモルファスシリコン膜

2 0 … シリコン酸化膜
2 2 … B A R C
2 4 … レジスト膜
2 6 … 光源
2 7 … ステージ
2 8 … ウエーハ
3 0 … アライメントマーク
3 2 … 照射レンズ群
3 4 … ビームスプリッタ
3 6 … 対物レンズ群
3 8 … プリズム
4 0 … 反射鏡
4 1 … インデックスマーク
4 2 … 接眼レンズ群
4 4 … C C D カメラ
4 6 … 信号処理部
4 8 … モニタ
5 0 … 縮小投影レンズ
5 2 … アライメントマーク
5 4 … 凹部
5 6 … 破線パターン部
5 8 … 間隔部分
6 0 … シリコン基板
6 2 … メモリセル領域
6 4 … マーク領域
6 6 … 素子分離領域
6 8 … ゲート電極
7 0 … アモルファスシリコン膜
7 2 … タングステン膜

7 4 …シリコン窒化膜
7 8 …ソース／ドレイン拡散層
7 9 …プラグ
8 0 …シリコン酸化膜
8 2 …プラグ
8 3 …窒化チタン膜
8 4 …タングステン膜
8 5 …溝部
8 6 …アモルファスシリコン膜
8 7 …B A R C
8 8 …レジスト膜
8 9 …突起部
9 0、9 1 …シリコン酸化膜
1 0 0 …シリコンウエーハ
1 0 2 …シリコン酸化膜
1 0 4 …アライメントマーク
1 0 6 …アモルファスシリコン膜
1 0 8 …シリコン酸化膜
1 1 0 …B A R C
1 1 2 …レジスト膜

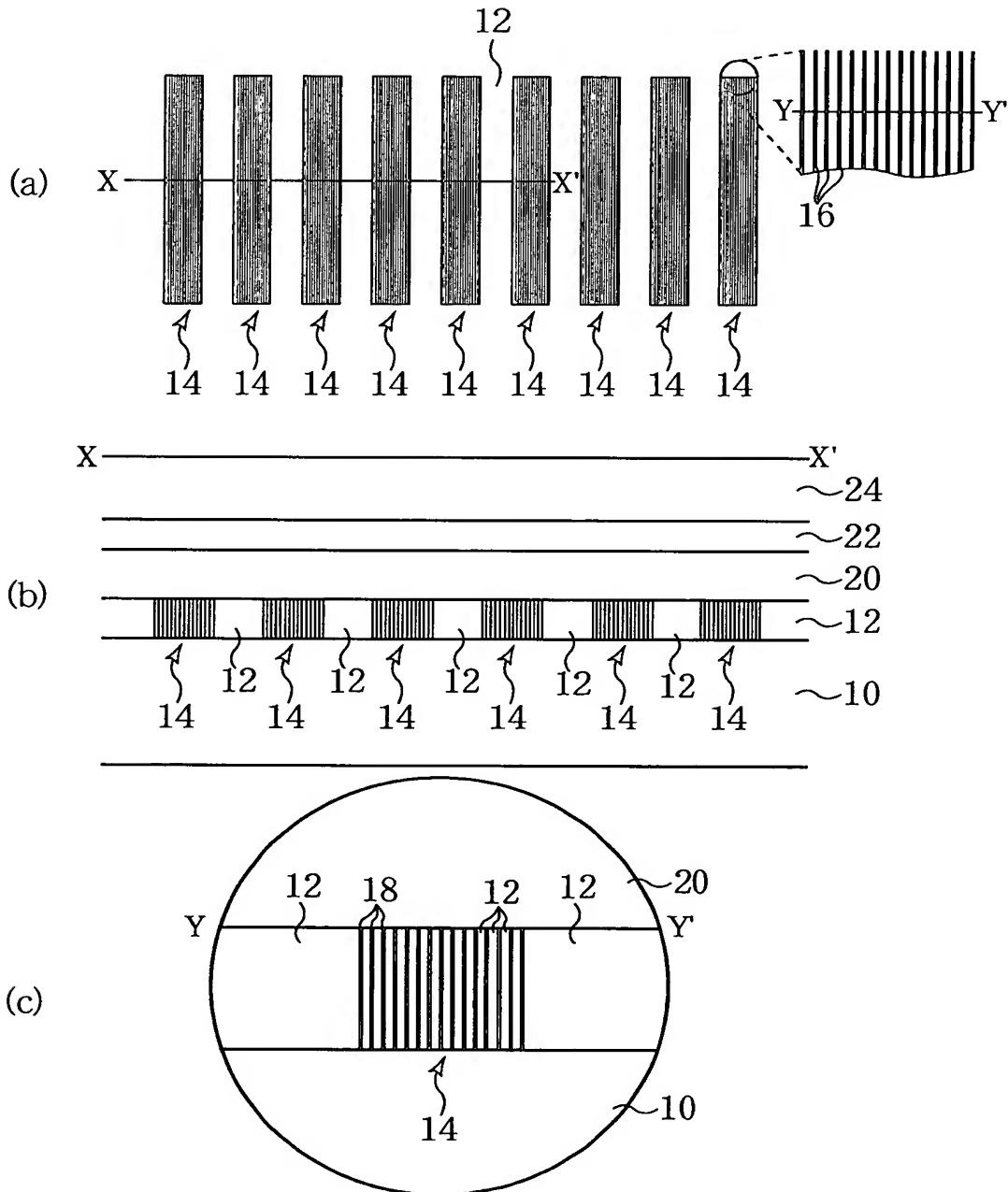
特 2 0 0 1 - 1 6 2 7 8 8

【書類名】

図面

【図 1】

本発明の第1実施形態による半導体装置が有する
アライメントマークの構造を示す概略図

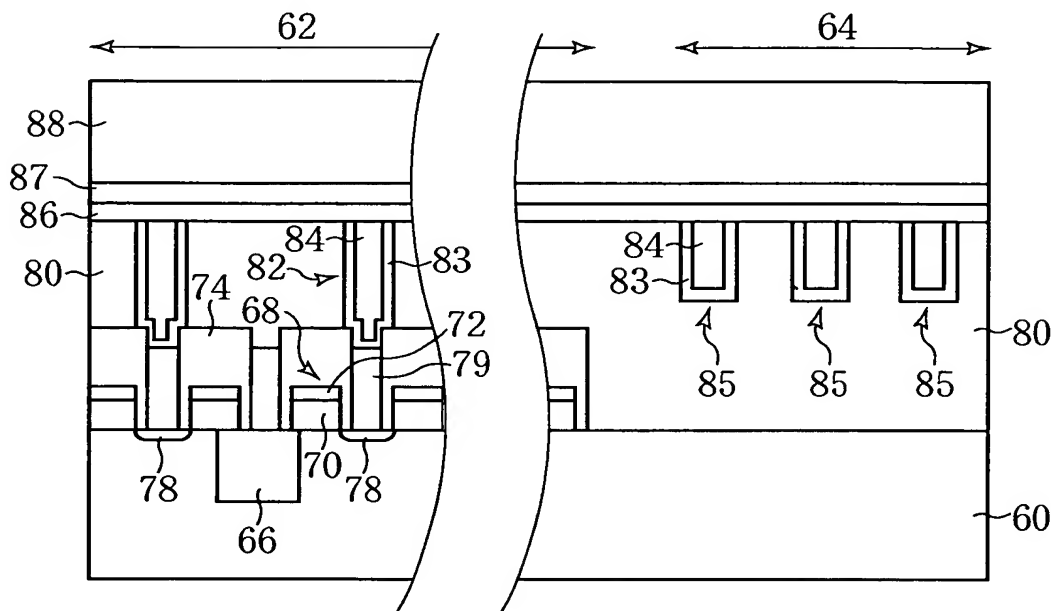


10…シリコンウェーハ
12…シリコン酸化膜
14…アライメントマーク
16…溝部

18…アモルファスシリコン膜
20…シリコン酸化膜
22…BARC
24…レジスト膜

【図 2】

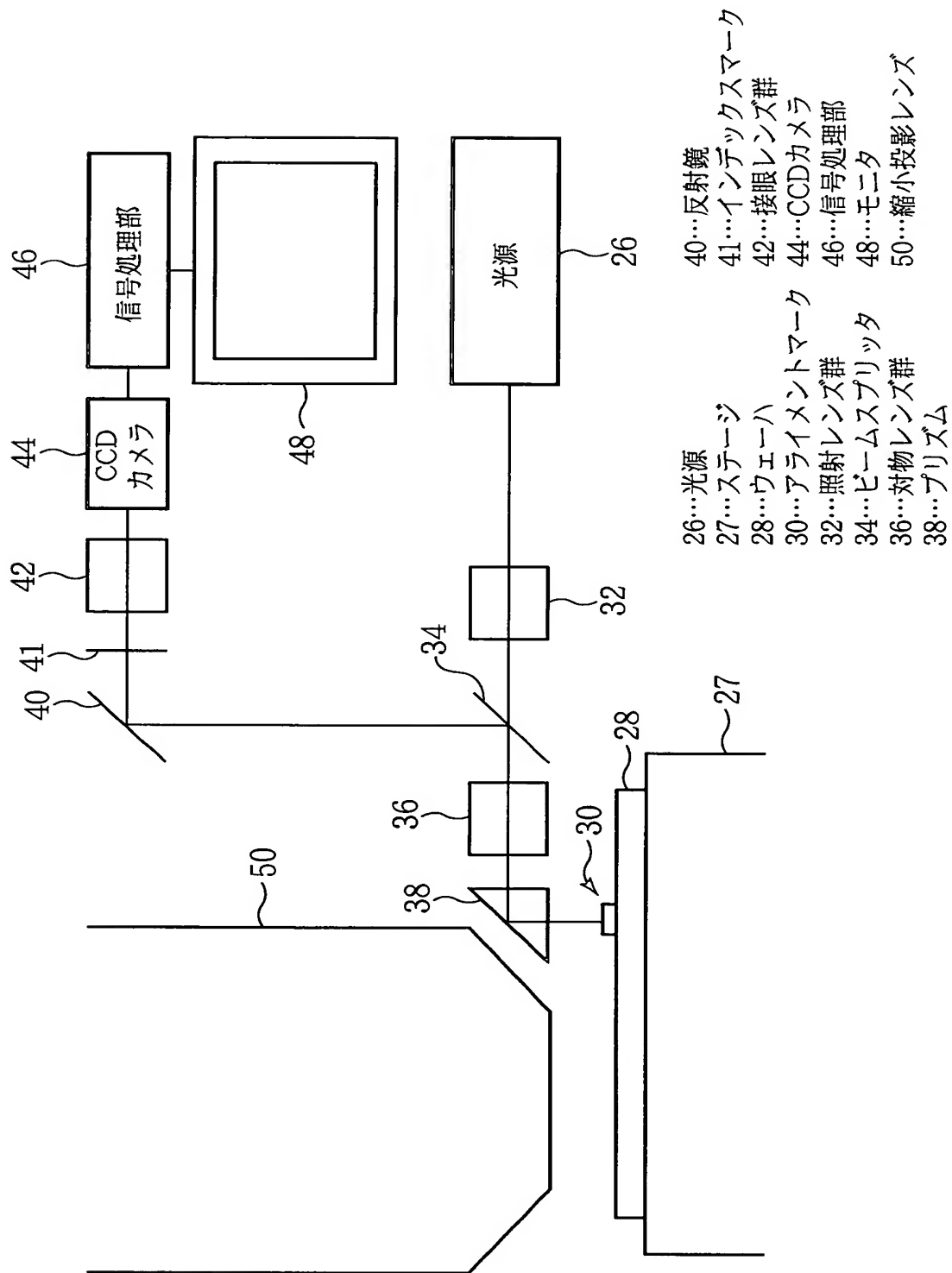
本発明の第1実施形態による半導体装置の構造を示す概略図



- | | |
|----------------|----------------|
| 60…シリコン基板 | 80…シリコン酸化膜 |
| 62…メモリセル領域 | 82…プラグ |
| 64…マーク領域 | 83…窒化チタン膜 |
| 66…素子分離領域 | 84…タングステン膜 |
| 68…ゲート電極 | 85…溝部 |
| 70…アモルファスシリコン膜 | 86…アモルファスシリコン膜 |
| 72…タングステン膜 | 87…BARC |
| 74…シリコン窒化膜 | 88…レジスト膜 |
| 78…ソース/ドレイン拡散層 | |
| 79…プラグ | |

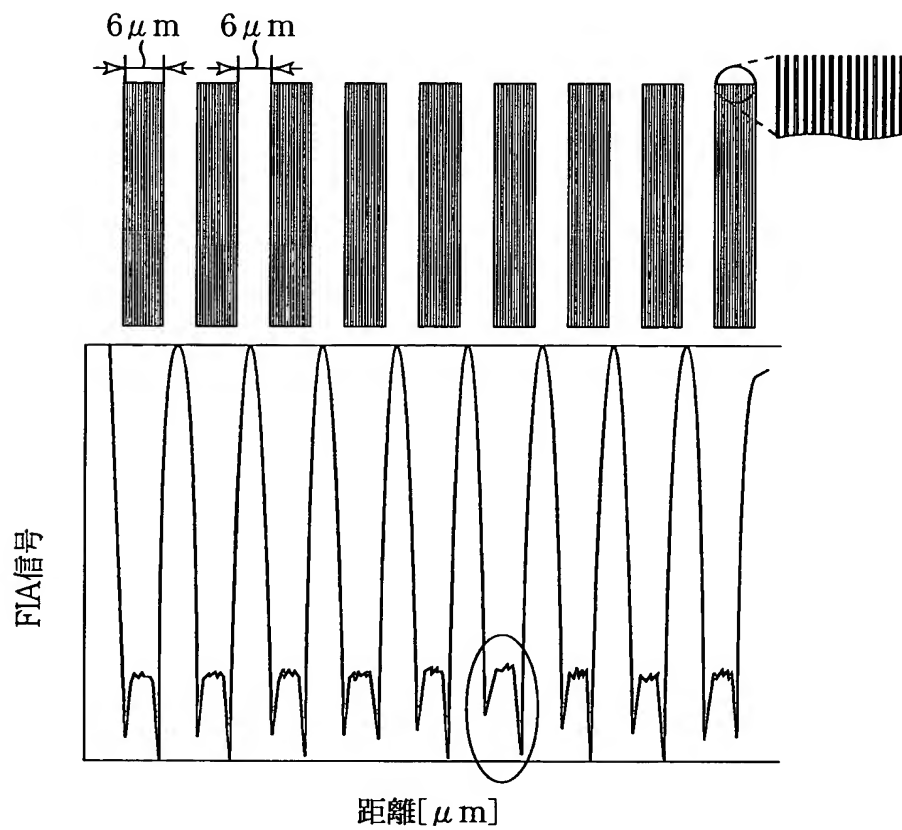
【図 3】

アライメントセンサの構造を示す概略図



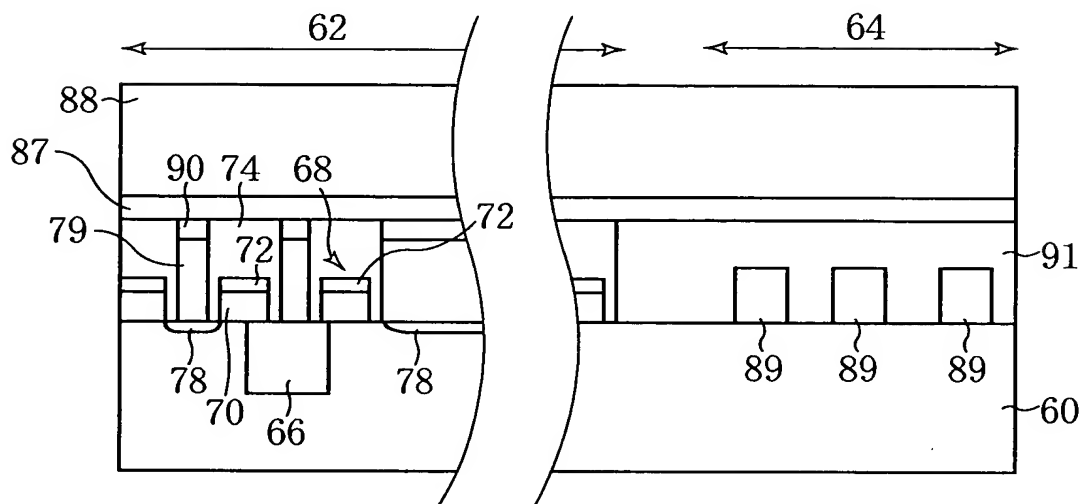
【図 4】

本発明の第1実施形態による半導体装置が有する
アライメントマークより得られたFIA信号の一例を示すグラフ



【図 5】

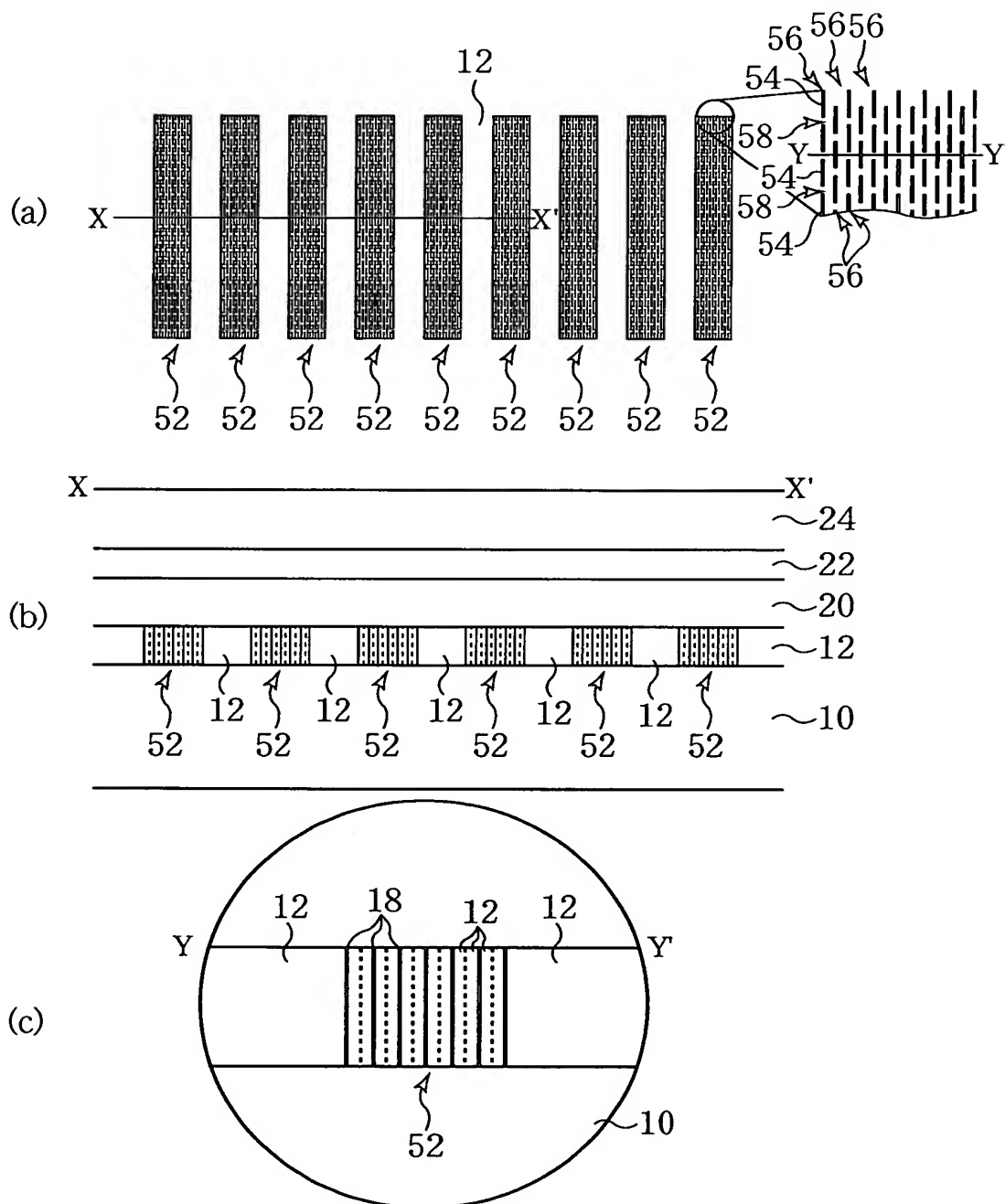
本発明の第1実施形態による半導体装置
の構造の変形例を示す概略図



89…突起部
90,91…シリコン酸化膜

【図6】

本発明の第2実施形態による半導体装置が有する
アライメントマークの構造を示す概略図

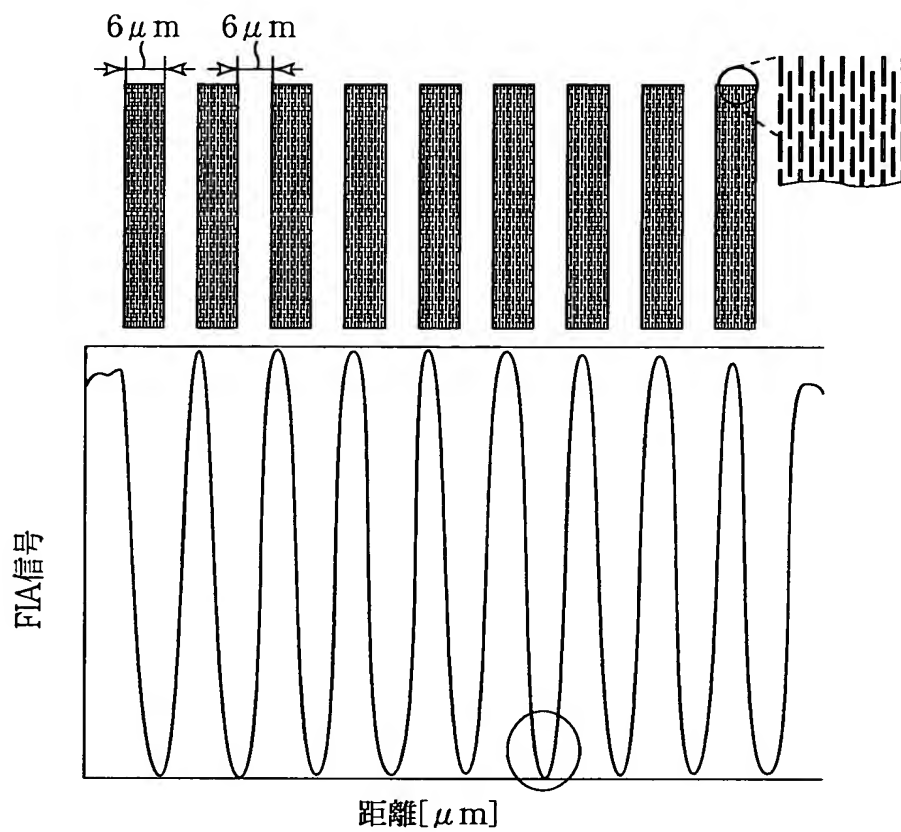


52…アライメントマーク
54…凹部

56…破線パターン部
58…間隔部分

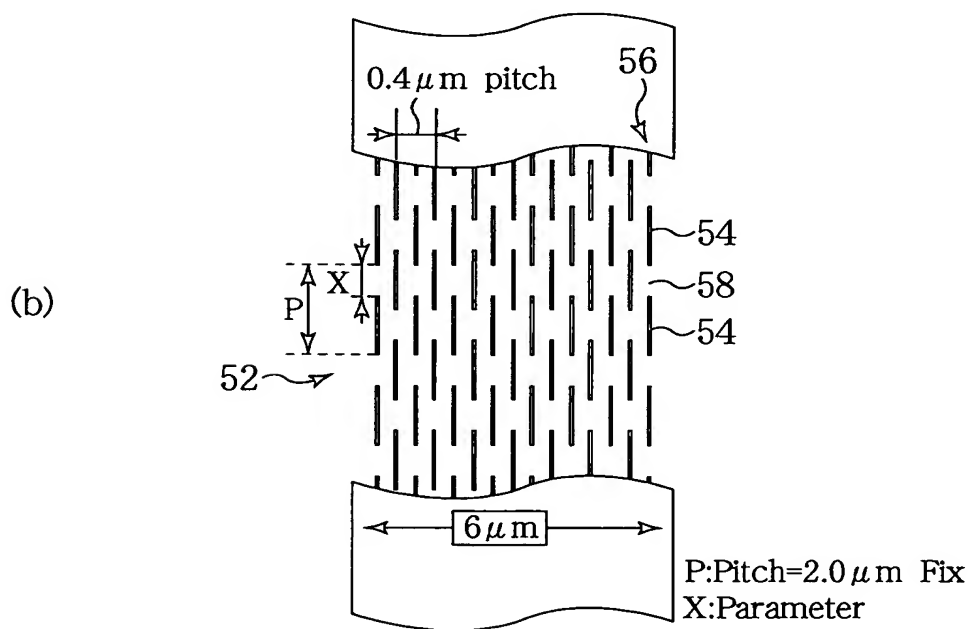
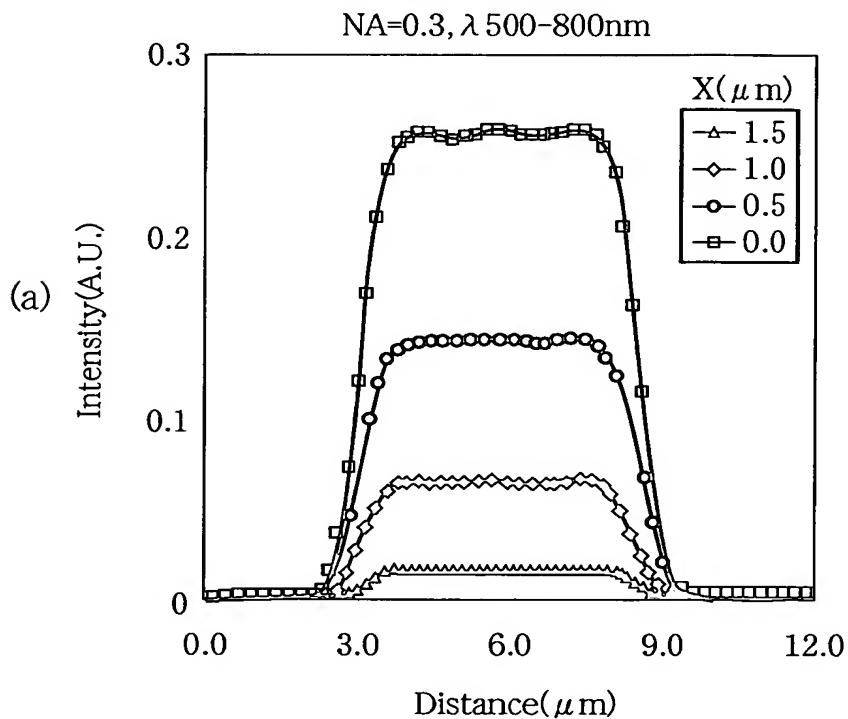
【図 7】

本発明の第2実施形態による半導体装置が有する
アライメントマークより得られたFIA信号の一例を示すグラフ



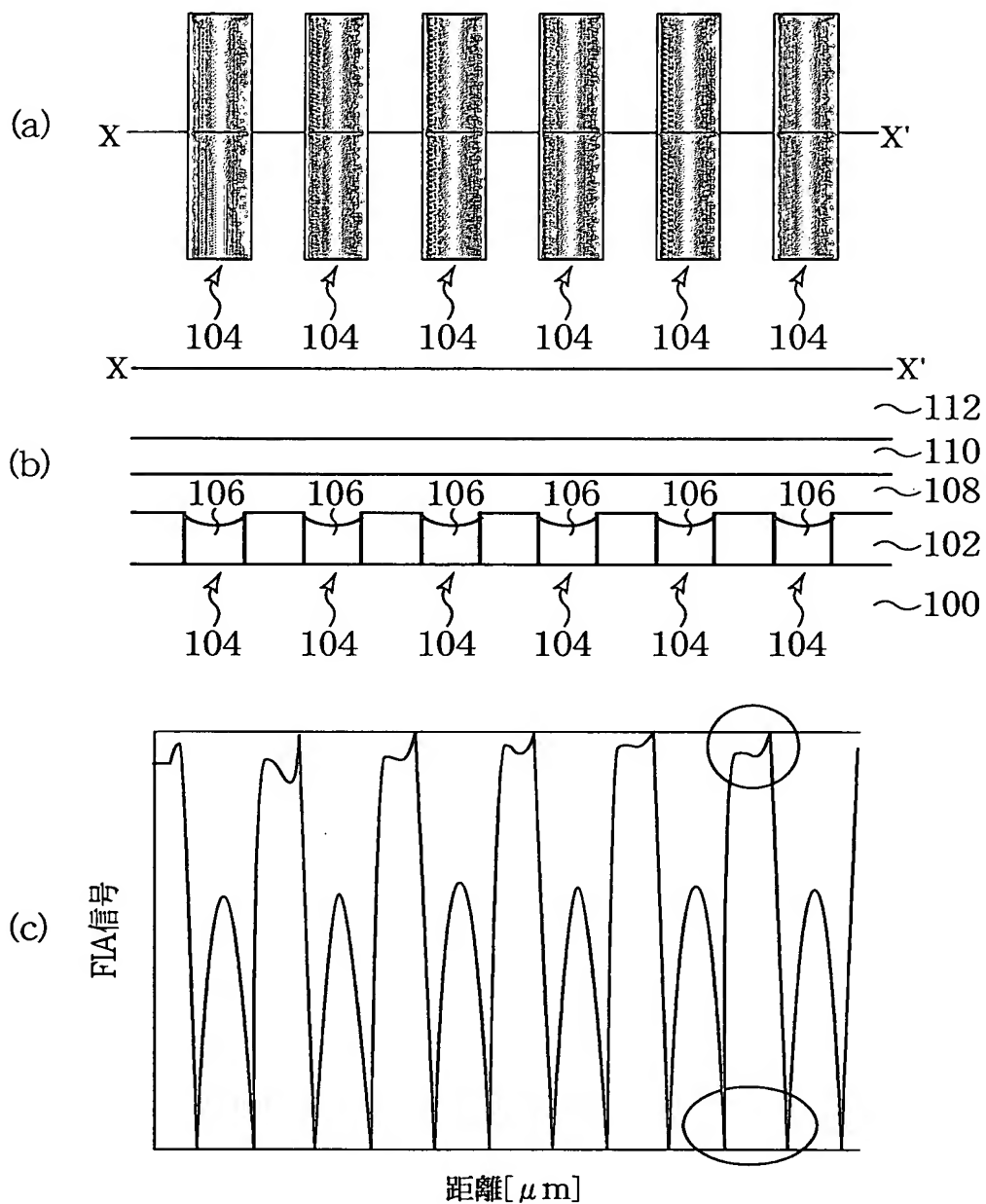
【図 8】

本発明の第2実施形態による半導体装置が有するアライメント
マークのパターン分割とFIA信号との関係を示すグラフ



【図 9】

従来のアライメントマークの構造を示す概略図



100…シリコンウェーハ
102…シリコン酸化膜
104…アライメントマーク
106…アモルファスシリコン膜

108…シリコン酸化膜
110…BARC
112…レジスト膜

【書類名】 要約書

【要約】

【課題】 コントラストが高く歪みの少ない検出信号の波形を得ることができ、高精度のウェーハのアライメントを実現することができる半導体装置及び半導体装置の位置検出方法を提供する。

【解決手段】 シリコンウェーハ 1 0 上に形成されたシリコン酸化膜 1 2 中に短冊状のアライメントマーク 1 4 が並列に設けられている。各アライメントマーク 1 4 は、複数の溝部 1 6 が並列にシリコン酸化膜 1 2 中に形成されたものであり、これらの溝部 1 6 には、アモルファスシリコン膜 1 8 が埋め込まれている。このように、アライメントマーク 1 4 は、ラインアンドスペースパターンにより構成されている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 神奈川県川崎市幸区堀川町72番地
氏 名 株式会社東芝
2. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝

出 願 人 履 歴 情 報

識別番号 [596068419]

1. 変更年月日 1996年 5月16日

[変更理由] 住所変更

住 所 台湾 シンチュ市 サイエンス ベイスド インダストリアル
パーク クリエイション ロード III 4番

氏 名 ウィンボンド エレクトロニクス コーポ